

## MicroPatent® PatSearch Fulltext: Record 1 of 1

**Search scope:** JP (bibliographic data only)

**Years:** 1836-2005

**Patent/Publication No.:** ((JP08305680))



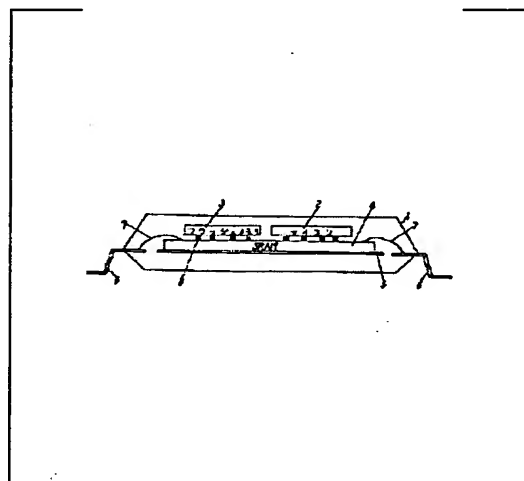
[Go to first matching text](#)

**JP08305680 A**  
**SEMICONDUCTOR DEVICE**  
MATSUSHITA ELECTRIC IND CO  
LTD

**Abstract:**

**PURPOSE:** To realize the microcomputer which can have a program rewritten and can cope with the high-speed operation and has the same size as a mass-produced article to be easily replaced with it with respect to the microcomputer used as a substitute for the mass-produced article in the development trial stage.

**CONSTITUTION:** A microcomputer 2 incorporating at least a CPU and a ROM, an electrically rewritable non-volatile memory 3 where the operation program of the microcomputer 2 is written, and a RAM 4 are provided, and the microcomputer, the non-volatile memory 3, and the RAM 4 consist of chips independent of one another, and the microcomputer 2 and the non-volatile memory 3 are mounted on the RAM 4 with a bump electrode 8 between them; and when the microcomputer 2 reads out the operation program stored in the non-volatile memory 3, the operation program is transferred from the non-volatile memory 3 to the RAM 4 and is read out from the RAM 4.



[Click here for larger image.](#)

**Inventor(s):**

KASUGA YOSHIAKI  
YASUI JUNICHI

**Application No.** 07105493 JP07105493 JP, **Filed** 19950428, **A1 Published** 19961122

**Int'l Class:** G06F01578  
G06F009445 G06F01206

**BEST AVAILABLE COPY**

**Patents Citing This One (5):**

- US6148362 A 20001114 NEC Corporation  
Microcomputer using nonvolatile semiconductor  
memory to store user code/data
- US6392950 B2 20020521 Hitachi, Ltd.  
Semiconductor device including multi-chip
- US6411561 B1 20020625 Hitachi, Ltd.  
Semiconductor device including multi-chip
- US6587393 B2 20030701 Hitachi, Ltd.  
Semiconductor device including multi-chip
- US6847575 B2 20050125 Renesas Technology Corp.  
Semiconductor device including multi-chip



For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-305680

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78	5 1 0		G 0 6 F 15/78	5 1 0 F
9/445			12/06	5 2 0 E
12/06	5 2 0		9/06	4 2 0 H

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平7-105493

(22) 出願日 平成7年(1995)4月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 春日 義昭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 安井 純一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

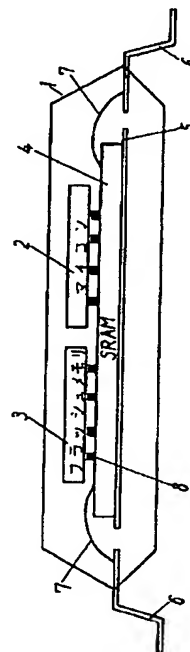
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 開発試作段階に量産品の置き換えとして用いるマイコンにおいて、プログラムの書換えが可能で、しかも高速動作に対応でき、量産品とのサイズも同じで置き換えが容易なマイコンを実現する。

【構成】 少なくともCPUとROMを内蔵したマイコン2と、マイコン2の動作プログラムを記述した電氣的に書換え可能な不揮発性メモリ3と、RAM4とを備え、マイコン2、不揮発性メモリ3およびRAM4をそれぞれ別々のチップで構成し、かつRAM4の上にパンパ電極8を介してマイコン2および不揮発性メモリ3を搭載し、しかもこのマイコン2は、不揮発性メモリ3に記憶された動作プログラムを読み出す場合に、動作プログラムを不揮発性メモリ3からRAM4に転送して、RAM4から動作プログラムを読み出すことを特徴とする。

1 封止パッケージ  
2 マイコンチップ  
3 リード端子  
4 フラッシュメモリ  
5 パンパ電極



## 【特許請求の範囲】

【請求項1】少なくともCPUとROMを内蔵したマイコンと、前記マイコンの動作プログラムを記述した電気的に書換え可能な不揮発性メモリと、RAMとを備え、前記マイコン、前記不揮発性メモリおよび前記RAMをそれぞれ別々のチップで構成し、かつ前記RAMの上にパンプ電極を介して前記マイコンおよび不揮発性メモリを搭載し、前記マイコンは前記不揮発性メモリに記憶された動作プログラムを読み出す場合に、前記動作プログラムを前記不揮発性メモリから前記RAMに転送して、前記RAMから動作プログラムを読み出すことを特徴とする半導体装置。

【請求項2】少なくともCPUとROMを内蔵したマイコンと、前記マイコンの動作プログラムを記述した電気的に書換え可能な不揮発性メモリと、RAMとを備え、前記マイコン、前記不揮発性メモリおよび前記RAMをそれぞれ別々のチップで構成し、かつ前記不揮発性メモリの上にパンプ電極を介して前記マイコンおよびRAMを搭載し、前記マイコンは前記不揮発性メモリに記憶された動作プログラムを読み出す場合に、前記動作プログラムを前記不揮発性メモリから前記RAMに転送して、前記RAMから動作プログラムを読み出すことを特徴とする半導体装置。

【請求項3】少なくともCPUとROMを内蔵したマイコンと、前記マイコンの動作プログラムを記述した電気的に書換え可能な不揮発性メモリと、RAMとを備え、前記マイコン、前記不揮発性メモリおよび前記RAMをそれぞれ別々のチップで構成し、かつ前記マイコンの上にパンプ電極を介して前記RAMおよび不揮発性メモリを搭載し、前記マイコンは前記不揮発性メモリに記憶された動作プログラムを読み出す場合に、前記動作プログラムを前記不揮発性メモリから前記RAMに転送して、前記RAMから動作プログラムを読み出すことを特徴とする半導体装置。

【請求項4】請求項1～3のいずれかに記載の半導体装置において、マイコンと不揮発性メモリおよびRAMの間には、少なくとも2種類のアドレスバスおよびデータバスが介在しており、前記2種類のアドレスバスおよびデータバスのうち第1のアドレスバスおよびデータバスは前記マイコン、前記不揮発性メモリおよび前記RAMの間に介在し、前記不揮発性メモリに前記マイコンの動作プログラムを書き込む場合、および前記不揮発性メモリに記憶された前記動作プログラムを前記RAMに転送する場合に使用され、また前記2種類のアドレスバスおよびデータバスのうち第2のアドレスバスおよびデータバスは前記マイコンと前記RAMの間に介在し、前記マイコンが前記RAMから前記動作プログラムを読み出す場合に使用され、前記第1のアドレスバスおよびデータバスは、CPUに接続されたバスコントローラによって制御され、また前記第2のアドレスバスおよびデータバ

スは、CPUによって直接制御される構成としたことを特徴とする半導体装置。

【請求項5】請求項1～4のいずれかに記載の半導体装置において、マイコンは、RAMと前記マイコンに内蔵したROMとのそれぞれの出力を相補的に許可・禁止する切り換え回路を備え、前記切り換え回路はCPUから出力されるアドレス信号に依存して切り換え信号を出力することを特徴とする半導体装置。

【請求項6】請求項1～5のいずれかに記載の半導体装置において、マイコンが内蔵するROMには、少なくともデータ書き込みプログラムとブートプログラムが記憶され、不揮発性メモリに書き込み電圧が印加されている状態で前記マイコンにリセット信号が入力すると、前記マイコンは前記データ書き込みプログラムを実行して、不揮発性メモリへのデータ書き込みを行い、また前記不揮発性メモリに書き込み電圧が印加されていない状態で前記マイコンにリセット信号が入力すると、前記マイコンは前記ブートプログラムを実行して、前記不揮発性メモリからRAMへのデータ転送を行うことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、いわゆるフラッシュメモリ（電気的に一括消去可能な不揮発性メモリ）等の電気的に書換え可能な不揮発性メモリを搭載したマイクロコンピュータ（以下「マイコン」という）に関するものである。

## 【0002】

【従来の技術】一般に、マイコンにはそのマイコンの動作プログラムを記述したリードオンリメモリ（以下「ROM」という）を内蔵している。特に量産するマイコン製品には、価格や構成で量産に適しているマスクROMが内蔵され、このマスクROMに動作プログラムが記述されている。マスクROMは読み出し専用メモリであるので、製造段階で記述された情報（プログラム）は後で書き換えることができない。

【0003】ところが、例えばマイコンの開発段階や量産の頭出し時には、プログラムの中に誤り（バグ）が発見されることもあり、この場合にはROMに記述されたプログラムを書き直す必要がある。このため従来は開発段階にマスクROMを使用せず、マスクROMの代わりに例えばフラッシュメモリ等の電気的に書換え可能な不揮発性メモリを使用して、プログラムの修正を可能にしていた。

【0004】図5は従来のフラッシュメモリ内蔵マイコンの構成を示す。同図（A）は、フラッシュメモリ内蔵マイコンを樹脂封止した後の断面図であり、また同図（B）はマイコン内の構成を示す平面図である。同図（A）において、101は封止パッケージ、102はフラッシュメモリ内蔵マイコンであり、その内部は、同図

(B) に示すように、フラッシュメモリ102aとCPU(中央演算処理装置)102bを備えた基本構成を採っている。103はフラッシュメモリ内蔵マイコン102を搭載しているリードフレームのダイパッド部、104はリード端子、105はリード端子104とフラッシュメモリ内蔵マイコン102とを電気的に接続しているワイヤである。

【0005】以上のような構成のマイコンを開発段階で使用するにより、フラッシュメモリ102aに記述されたプログラムの修正が可能になる。従って、修正によってプログラム中に存在するバグをすべて取り除いてからマスクROM内蔵マイコンを用いて量産することができる。

#### 【0006】

【発明が解決しようとする課題】しかしながら、フラッシュメモリ等の不揮発性メモリは記憶データの出力に時間がかかるため、高速なマイコンに上記のフラッシュメモリ等を内蔵したマイコンを用いると、不揮発性メモリのためにマイコン全体の動作速度が遅くなってしまうという課題を有している。特に100MHz(メガヘルツ)程のクロックで動作するマイコンにおいては、フラッシュメモリのためにその高速性が維持できなくなる。

【0007】本発明は、上記の課題に鑑み、開発段階等に用いるフラッシュメモリ等の不揮発性メモリを有したマイコンを実質的に高速動作可能にするものであり、しかも量産段階のマイコン製品と比べてもサイズを大きくすることもなく、開発段階の製品から量産品への置き換えを簡単に行い得る半導体装置を提供する。

#### 【0008】

【課題を解決するための手段】上記課題を解決するために請求項1記載の半導体装置は、少なくともCPUとROMを内蔵したマイコンと、マイコンの動作プログラムを記述した電氣的に書換え可能な不揮発性メモリと、RAMとを備え、マイコン、不揮発性メモリおよびRAMをそれぞれ別々のチップで構成し、かつRAMの上にバンプ電極を介してマイコンおよび不揮発性メモリを搭載し、しかもこのマイコンは、不揮発性メモリに記憶された動作プログラムを読み出す場合に、動作プログラムを不揮発性メモリからRAMに転送して、RAMから動作プログラムを読み出すことを特徴とするものである。

【0009】また、請求項2記載の半導体装置は、少なくともCPUとROMを内蔵したマイコンと、マイコンの動作プログラムを記述した電氣的に書換え可能な不揮発性メモリと、RAMとを備え、マイコン、不揮発性メモリおよびRAMをそれぞれ別々のチップで構成し、かつ不揮発性メモリの上にバンプ電極を介してマイコンおよびRAMを搭載し、しかもこのマイコンは不揮発性メモリに記憶された動作プログラムを読み出す場合に、動作プログラムを不揮発性メモリからRAMに転送して、RAMから動作プログラムを読み出すことを特徴とする

ものである。

【0010】また、請求項3記載の半導体装置は、少なくともCPUとROMを内蔵したマイコンと、マイコンの動作プログラムを記述した電氣的に書換え可能な不揮発性メモリと、RAMとを備え、マイコン、不揮発性メモリおよびRAMをそれぞれ別々のチップで構成し、かつマイコンの上にバンプ電極を介してRAMおよび不揮発性メモリを搭載し、しかもこのマイコンは不揮発性メモリに記憶された動作プログラムを読み出す場合に、動作プログラムを不揮発性メモリからRAMに転送して、RAMから動作プログラムを読み出すことを特徴とするものである。

【0011】また、請求項4記載の半導体装置は、請求項1～3のいずれかに記載の構成において、マイコンと不揮発性メモリおよびRAMの間には、少なくとも2種類のアドレスバスおよびデータバスが介在しており、2種類のアドレスバスおよびデータバスのうち第1のアドレスバスおよびデータバスは、マイコン、不揮発性メモリおよびRAMの間に介在し、不揮発性メモリにマイコンの動作プログラムを書き込む場合、および不揮発性メモリに記憶された動作プログラムをRAMに転送する場合に使用され、また2種類のアドレスバスおよびデータバスのうち第2のアドレスバスおよびデータバスは、マイコンとRAMの間に介在し、マイコンがRAMから動作プログラムを読み出す場合に使用され、第1のアドレスバスおよびデータバスは、CPUに接続されたバスコントローラによって制御され、また第2のアドレスバスおよびデータバスは、CPUによって直接制御される構成としたことを特徴とするものである。

【0012】また、請求項5記載の半導体装置は、請求項1～4のいずれかに記載の構成において、マイコンは、RAMとマイコンに内蔵したROMとのそれぞれの出力を相補的に許可・禁止する切り換え回路を備え、切り換え回路はCPUから出力されるアドレス信号に依存して切り換え信号を出力することを特徴とするものである。

【0013】また、請求項6記載の半導体装置は、請求項1～5のいずれかに記載の半導体装置において、マイコンが内蔵するROMには、少なくともデータ書き込みプログラムとブートプログラムが記憶され、不揮発性メモリに書き込み電圧が印加されている状態でマイコンにリセット信号が入力すると、マイコンはデータ書き込みプログラムを実行して、不揮発性メモリへのデータ書き込みを行い、また不揮発性メモリに書き込み電圧が印加されていない状態でマイコンにリセット信号が入力すると、マイコンはブートプログラムを実行して、不揮発性メモリからRAMへのデータ転送を行うことを特徴とするものである。

#### 【0014】

【作用】請求項1から3に記載の構成によれば、不揮発

性メモリに記憶された情報を一旦RAMにダウンロード（転送）し、マイコンはこのRAMから情報を読み出すので、マイコンは比較的高速動作可能なRAMから直接、情報を読み出すことになり、実質的に高速処理が可能になる。

【0015】また、従来と比較してRAMを新たに追加した構成になるが、マイコン、不揮発性メモリ、RAMを重ね合わせて配置し、これを樹脂封止することで、パッケージサイズとしては従来品と何ら変わらない大きさのものを提供できる。

【0016】また、請求項4記載の構成によれば、第2のアドレスバスおよびデータバスはバスコントローラを介さずに直接にCPUによって制御されているので、RAMに記憶された動作プログラムの読み出しをCPUの動作速度と同等の速度で行うことができ、高速制御が可能となる。

【0017】また、請求項5記載の構成によれば、アドレス信号に依存して切り換え信号を出力する切り換え回路を有しているので、RAMのデータを示すアドレスがCPUから出力された場合には、RAMの出力が許可されて、内蔵ROMの出力が禁止され、また内蔵ROMのデータを示すアドレスがCPUから出力された場合には、内蔵ROMの出力が許可されて、RAMの出力が禁止される。このため、特に外部端子から切り換え信号を入力しなくても、CPUがアクセスする対象を切り換えることができる。

【0018】また、請求項6記載の構成によれば、マイコンへのリセット信号の入力により、自動的に、不揮発性メモリへのデータ書き込みや、不揮発性メモリからRAMへのデータ転送を行うことができる。

【0019】

【実施例】以下、本発明の半導体装置の一実施例について、図面を参照しながら説明する。

【0020】図1は本発明の半導体装置の断面構成を示す。同図は、フラッシュメモリ内蔵マイコンを樹脂封止した後の断面図であり、1は封止パッケージ、2はマイコン、3はフラッシュメモリ、4はSRAM（スタティック・ランダム・アクセス・メモリ）であり、マイコン2、フラッシュメモリ3およびSRAM4はそれぞれ別々のチップに納められている。また本実施例ではSRAM4の上にマイコン2とフラッシュメモリ3とを搭載している。5はSRAMを搭載しているリードフレームのダイパッド部、6はリード端子、7はリード端子6とSRAM4とを電気的に接続しているワイヤである。また、マイコン2とSRAM4、およびフラッシュメモリ3とSRAM4は、それぞれバンプ電極8によって電気的に接続されている。

【0021】このようにSRAM4の上にマイコン2とフラッシュメモリ3を搭載する構成を採用すれば、パッケージ全体の大きさを従来製品と変わり無い大きさにす

ることができる。また、このように、全体を小さくできるので、この構成をマイコンの開発段階におけるテスト用の製品に用いると、量産品のマスクROM内蔵マイコンの製品と大きさを同じにすることもできる。従って、開発試作品を量産品と同じ様に扱うことができるので、開発段階の検査が容易になり、また開発試作品から量産品への切り換えも容易に行える。

【0022】なお、本実施例では、SRAMの上にマイコンとフラッシュメモリを搭載する構成としたが、これに限らず、フラッシュメモリの上にマイコンとSRAMを搭載する構成としてもよい。

【0023】さらに、マイコンの上にSRAMとフラッシュメモリを搭載する構成でもよい。但し、これらの実施態様の中でより好ましい構成は、SRAMあるいはフラッシュメモリのいずれかを下に設けて、マイコンを上配置する構成である。なぜなら、開発試作段階におけるマイコンは、開発試作用としてわざわざ新たに作るのではなく、量産品に用いるマスクROM内蔵マイコンと同じものを用いる方が都合がよい。また量産品は、できるだけチップサイズを小さくした方がコスト的にも安くなり量産に適するようになるので、図1に示すマイコンについても量産に適するサイズに合わせておくことになる。すなわち、マイコンの上にSRAMとフラッシュメモリを搭載する構成にすると、必然的にマイコンのサイズが大きくなるので量産に不向きとなる場合がある。

【0024】次に図2を用いてさらに詳細な構成と動作を説明する。図2は、図1におけるマイコン2とフラッシュメモリ3とSRAM4との間のアドレスバスやデータバスの配線関係を示している。ここではバス等の信号配線関係を示すため、マイコン2とフラッシュメモリ3とSRAM4を平面的な位置関係で表している。

【0025】同図において、2、3、4は図1と同様にそれぞれ、マイコンとフラッシュメモリとSRAMである。

【0026】マイコン2の内部構成を説明すると、9は中央演算処理装置（以下「CPU」という）、10は、マイコン2の動作プログラムが記憶されている内蔵ROMである。内蔵ROM10は読み出し専用メモリであるので、プログラムの内容を書き換えることはできない。従って、この内蔵ROM10は書き換える必要のない最小限のプログラムを記憶しており、具体的には、フラッシュメモリ3へデータ（プログラム）を書き込む場合のマイコン2の動作を記述したプログラムや、フラッシュメモリ3からSRAM4へデータ転送するときに必要なブートプログラムを記憶している。なお、これら以外のマイコン2の動作プログラム、特にマイコンの用途に応じて記述したプログラム（ユーザプログラム）は、フラッシュメモリ3に記憶される。11はRAMでありマイコン2の中に取り込んだデータを一時的に保持する。また12は切り換え回路、13はインバータであり、これ

らの構成によってCPU9が出力するアドレス信号に依存して、内蔵ROM10あるいはSRAM4の一方の出力を禁止し、他方を許可するように、相補的な切り換えを行っている。1.4はバスコントローラであり、接続されたアドレスバス22やデータバス23のそれぞれのバスタイミングを制御し、また外部に接続されたユーザRAMやROM等（図示せず）のバスタイミングを制御している。バスタイミングの制御はCPU9によってもできるが、CPU9の負荷をできるだけ軽くするために、このバスコントローラ14によって制御を行っている。但し、バスコントローラ14の制御動作はCPU9に比較して遅い。1.5は入出力回路であり、タイマ等（図示せず）の周辺機能に接続されたバスにつながっている。

【0027】フラッシュメモリ3やSRAM4の一部の内部構成は、従来の構成と変わらないので、ここでは具体的な構成の説明を省略する。

【0028】また、フラッシュメモリ3にはアドレスバス22とデータバス23が接続されている。SRAM4は、2ポートのアドレス信号入力用のポート16を有しており、アドレスバス19とアドレスバス22が接続されている。また、SRAM4のデータ出力用の出力バッファ回路17はデータバス20に接続されており、また、その制御端子には信号線21がインバータ13を介して切り換え回路12に接続されている。一方、この切り換え回路12の出力は内蔵ROM10の出力イネーブル端子OEに直接に接続されている。すなわち、切り換え回路12の出力が内蔵ROM10の出力イネーブル端子OEに入力し、切り換え回路12の反転出力がSRAM4の出力バッファ回路17の制御端子に入力しているので、内蔵ROM10の出力とSRAM4の出力は相補的に切り換えられる。また、SRAM4のデータ入力用の入力バッファ回路18はデータバス23に接続されている。

【0029】マイコン2、フラッシュメモリ3およびSRAM4を互いに接続するアドレスバスおよびデータバスとしては、図2に示すようにアドレスバス19およびデータバス22と、データバス20および23が必要となる。これらのバスのうち、アドレスバス22およびデータバス23についてはバスコントローラ14によって制御されているが、アドレスバス19およびデータバス20については、CPU9によって直接に制御されている。

【0030】図3は本実施例における内蔵ROM10とフラッシュメモリ3の使い方を示しており、それぞれに記述されているプログラムの概念を示す。内蔵ROM10とフラッシュメモリ3にはいずれもマイコン2の動作プログラムが記憶されるが、これらの使い方の違いを説明する。

【0031】まず、同図（A）は内蔵ROM10に記憶されたプログラムを示しており、ここには、データ書き込みプログラム10aと、いわゆるブートプログラム1

0bが記述されている。データ書き込みプログラム10aは、フラッシュメモリ3にデータを書き込むためのマイコン2の動作プログラムであり、このプログラムが実行されるとCPU9の制御によってフラッシュメモリ3内にデータが書き込まれる。ブートプログラム10bはフラッシュメモリ3からSRAM4へデータを転送する場合に実行されるプログラムであり、データ転送を実行している最中にCPU9がSRAM4からデータを読み出さないように、CPU9に対していわゆるブート期間（待ち時間）を作っている。内蔵ROM10には、これらの書き換える必要のない2つのプログラムが記憶されている。

【0032】この内蔵ROM10からプログラムを読み出す場合には、例えば、マイコン起動時に入力されるリセット信号（図示せず）を利用することができる。すなわち、マイコン起動時に発生するリセット信号を内蔵ROM10に入力し、リセット信号が入力すると同時にプログラムを実行するという方法を探ることができる。但し、この場合には、データ書き込みプログラム10aと、ブートプログラム10bのいずれを実行するかを選ぶ必要がある。この選択方法としては、例えば、フラッシュメモリ3への書き込み電圧を利用することができる。すなわち、フラッシュメモリ3にデータを書き込むとき（データ書き込みプログラム10aを実行するとき）には、必ずフラッシュメモリ3に対して12.5Vの書き込み電圧が印加されている。このように高い電圧は書き込み以外の動作時には印加されないので、この書き込み電圧の情報をマイコン2に入力するように構成すれば、12.5Vが印加されている状態でリセット信号が入力すると、CPU9は内蔵ROM10のデータ書き込みプログラム10aを実行し、また、12.5Vが入力していないときには、CPU9が内蔵ROM10のブートプログラム10bを実行するように切り換えることができる。

【0033】また、図3（B）はフラッシュメモリ3に記述されているプログラムである。ここには、例えばユーザ（使用者）プログラムを記述する。すなわち、製造者がプログラム内容を決定するのではなく、使用者がマイコンの用途に応じて、独自のマイコンの動作プログラムを決定し記述する。このようにフラッシュメモリのように書換え可能な不揮発性メモリに、ユーザプログラムを記述すれば、容易に修正ができ、特にプログラム修正の生じやすい開発段階において有用となる。

【0034】なお、このフラッシュメモリ3に記述されたプログラムのアドレス（番地）と、内蔵ROM10のブートプログラム10bのアドレスは異なっており、この違いを利用して図2の切り換え回路12が切り換え動作を行う。例えば、本実施例では図3に示すようにアドレス1001から1500にブートプログラム10bが記述され、アドレス1501から2000にフラッシュ

メモリ3のユーザプログラムが記述されている。この場合、CPU9がアドレス1001から1500を出力しているときには、切り換え回路12は内蔵ROM10からの出力を許可し、SRAM4の出力を禁止するように切り換え信号を出力する。また、CPU9がアドレス1501から2000を出力しているときには、切り換え回路12がSRAM4からのユーザプログラムの出力を許可し、内蔵ROM10の出力を禁止するように切り換え信号を出力する。

【0035】また、以上の説明では、マイコンにリセット信号が入力すると、必ず、データ書き込みプログラム10aか、ブートプログラム10bのいずれかを実行することとしているが、他の実施態様もある。例えば、ブートプログラム10bの先頭にマイコンの外部端子（モード設定端子）の状態を検知する命令を記述し、さらにその外部端子の電位がハイレベルのときには、ブートプログラムをそのまま実行し、外部端子の電位がロウレベルのときには、ブートプログラムを実行せずに、ユーザプログラムを実行する旨の分岐命令を記述しておく。この構成によれば、ブートプログラムを実行するかしないかを外部端子に印加する電圧で切り換えることができる。ここで、ブートプログラムをしないことによる効果を説明する。マイコンへのリセット信号は、電源（パワー）オンと同時に入力されるだけでなく、電源オンの期間中にも入力され得る。しかし、電源をオフしない限りは、SRAMに一度転送されたデータは消去されないで、電源オンの期間中のリセット信号に基づいてブートプログラムを実行する必要はない。むしろ、このような場合にブートプログラムを実行してデータ転送を行うと、同じデータをSRAMに上書きすることになり、時間の無駄が生じることになる。従って、電源オン時以外には、外部端子の設定を変える（例えば、電位をハイレベルからロウレベルに切り換える）ことにより、無駄なブートプログラム実行期間を省略でき、マイコンの動作をより高速にできる。

【0036】次に、以上のように構成された半導体装置の動作を図2を用いて説明する。まず、フラッシュメモリ3にデータ（プログラム）を書き込む場合の動作について説明する。

【0037】上記のようにマイコン2の内蔵ROM10には、フラッシュメモリ3へのデータ書き込みプログラム10aが記述されている。CPU9が起動するときのリセット信号（図示せず）がマイコン2に入力し、内蔵ROM10に入力する。このとき、12.5Vの書き込み電圧がフラッシュメモリ3に印加されていると、この12.5Vを示す信号とリセット信号がマイコン2に入力し、内蔵ROM10のデータ書き込みプログラム10aを実行する。その動作を説明すると、まず、CPU9が入出力回路15を介して書き込むべきプログラムを外部からシリアルデータとして取り込む。次にバスコント

ローラ14がアドレスバス22およびデータバス23のバスタイミングを制御し、フラッシュメモリ3内の所定のアドレスを指定して、データバス23を介してデータ（プログラム）をフラッシュメモリ3に書き込む。なお、この場合マイコン2は外部から取り込んだデータを一時的にRAM11に保持することもできる。このようにマイコン2がシリアルデータとしてプログラムを取り込む方式を採れば、専用バスをわざわざ設ける必要がなく、より簡単な構成により実現できる。

【0038】なお、フラッシュメモリ3にデータを書き込む方法としては、マイコン2を介さない方法もある。例えば、マイコン2に入力するクロックを止め、CPU9の動作を止め、同時にSRAM4への入力を禁止することで、システム全体としては、フラッシュメモリ3単体と同等になる。この状態で外部からPROMライタ等を使用してフラッシュメモリ3にデータを書き込むこともできる。

【0039】次にフラッシュメモリ3からSRAM4へデータを転送し、マイコン2がSRAM4からデータを読み出す動作を説明する。

【0040】データ転送についてもマイコン2の起動時に行う。すなわち、フラッシュメモリ3に12.5Vの書き込み電圧が印加されていない状態で、マイコン2の起動時にリセット信号が入力すると、CPU9は内蔵ROM10のブートプログラム10bを選択し実行する。このとき、CPU9はブートプログラムが記述されているアドレス（1001番地～1500番地）を、アドレスバス19を介してSRAM4と内蔵ROM10、および切り換え回路12に対して出力する。CPU9が出力するアドレスは、ブートプログラム10bの書き込まれたアドレス（1001番地から1500番地）に一致するので、切り換え回路12はハイレベルの論理信号を出力する。このため内蔵ROM10の出力カネーブル端子OEにはそのままハイレベルの信号が入力するので、内蔵ROM10の出力は許可状態となり、一方、SRAM4の出力バッファ回路17の制御端子にはインバータ13を介してロウレベルの信号が入力するので、SRAM4の出力は禁止状態となる。この動作によりブートプログラム10bが順次読み出されて実行されていく。CPU9はこのブートプログラム10bに従って、この期間中にフラッシュメモリ3のデータ（プログラム）を読み出し、データバス23を介してマイコン2に取り込み、マイコン2から再びデータバス23を介してSRAM4へ書き込み（転送）を行う。なお、この場合もマイコン2は取り込んだデータを一時的にRAM11に保持することもできる。

【0041】次に、プログラムの読み出し動作であるが、CPU9はユーザプログラムが記述されているアドレス（1501番地～2000番地）を、アドレスバス19を介してSRAM4と内蔵ROM10、および切り



換え回路12に対して出力する。このCPU9から出力されるアドレスはSRAM4に転送されたユーザプログラムのアドレス(1501番地から2000番地)に一致するので、切り換え回路12はロウレベルの論理信号を出力する。このため内蔵ROM10の出力イネーブル端子OEにはそのままロウレベルの信号が入力し、内蔵ROM10の出力は禁止状態となり、一方、SRAM4の出力バッファ回路17の制御端子にはインバータ13を介してハイレベルの信号が入力するので、SRAM4の出力は許可状態となる。この結果、SRAM4からユーザプログラムがデータバス20を介してマイコン2へ読み出され、このプログラム命令の内容に従ってマイコン2が動作する。なお、SRAM4からプログラムを読み出すために使用されるアドレスバス19とデータバス20は、バスコントローラにより制御されず、CPU9によって直接に制御される。これにより、SRAM4をマイコン2と別チップに設けても、バス制御を高速に行うことができるので、SRAM4からのデータ読み出しを高速に行うことができ、マイコンシステム全体の動作も高速になる。

【0042】すなわち、本実施例では、マイコンシステム全体の高速性を維持しつつ、構成をよりコンパクトにするために、マイコン2とフラッシュメモリ3とSRAM4を別々のチップで構成し、これらを重ね合わせて配置する手段を採った。また、マイコン2の動作プログラムを記憶したメモリ(SRAM4)が別チップで構成されていると、バスタイミングの遅れによってマイコンの動作にも遅れが生じるので、動作プログラムの読み出し用のバスの制御についてはCPUが直接行い、バス制御を高速に行って、マイコン動作の高速性を保っている。

【0043】図4は従来技術における読み出し動作と、本実施例の読み出し動作を比較したタイミング図である。

【0044】同図(A)のようにマイコンにリセット信号RESETが入力すると、従来では、同図(B)のようにすぐに不揮発性メモリからプログラムを読み出してプログラムを実行していた。一方、本実施例では、同図(C)に示すようにリセット信号RESETが入力すると、まず不揮発性メモリからSRAMへプログラムを転送するためのブートプログラムが実行され、次にマイコンがSRAMからプログラムを読み出して実行する。すなわち、本実施例の動作ではブートプログラム実行が余分に追加されているわけであるが、このブートプログラム実行の期間は、実際数10ミリ秒以下に抑えることができる。これに対して、従来技術では不揮発性メモリからプログラムを直接に読み出しているため、このための時間が長くなり、全体の動作時間としては本実施例の方が高速になる。

【0045】また、この発明を量産前の開発試作段階のマイコンに適用した場合には、その後の置き換えにより

量産品となるマスクROM内蔵マイコンの動作についても図4(C)に示す動作と同じように、ブートプログラムを実行後に動作プログラムを実行するようにする方がよい。すなわち、マスクROM内蔵マイコンではデータ転送を行わないので、実際にはブートプログラムの実行は不要であるが、本実施例のマイコンはブートプログラムを実行する期間が必要となるので、置き換え対象となるマスクROM内蔵マイコンについても、動作タイミングを一致させておいて、周辺回路に与える影響(出力信号のタイミング)を同じにしておいた方がよい。

【0046】なお、以上の実施例では、いわゆるフラッシュメモリを使用した例を示したが、他の電氣的に書換え可能な不揮発性メモリであっても本発明を適用できる。

【0047】また、同様に上記の実施例では、SRAMを例に説明したが、DRAM等の他のRAMであっても不揮発性メモリよりは高速に動作するので本発明を適用できる。

【0048】また、上記の実施例では、フラッシュメモリに印加する書き込み電圧を利用して、内蔵ROM10のデータ読み出しを行ったが、この書き込み電圧12.5Vの情報を利用しなくても、外部端子からモード信号を与える方法でもよい。すなわち、LSIの端子を1つモード切り換え用として使い、この端子にハイレベルの論理信号が入力しているときに、リセット信号が入力するとデータ書き込みプログラム10aを実行し、端子にロウレベルの論理信号が入力しているときに、リセット信号が入力するとブートプログラム10bを実行する方法でもよい。

【0049】

【発明の効果】本発明によれば、不揮発性メモリに記憶された情報を一旦RAMに転送し、マイコンはこのRAMから情報を読み出すので、従来に比べて高速なマイコンを提供できる。例えば、従来技術では実現できないような100MHzで動作するフラッシュメモリ付マイコンを提供することができる。このため、この発明を開発試作段階の高速マイコンに適用すれば、プログラムの書換えが可能で、しかも高速動作に対応できるマイコンが実現できる。

【0050】また、従来と比較してRAMを新たに追加した構成になるが、マイコン、不揮発性メモリ、RAMを重ね合わせて配置するので、これを樹脂封止することで、パッケージサイズとしては従来品と何ら変わらない大きさのものを提供できる。従って、例えば、この発明を開発試作段階のマイコンに適用すれば、量産品とのサイズも同じで置き換えが容易なマイコンを実現でき、上記の効果と合わせれば、開発段階や量産の頭出し用のマイコンとしては、きわめて有用なものを提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体装置の断面構

# BEST AVAILABLE COPY

(8)

特開平8-305680

13

14

成図

- 【図2】同実施例の信号配線関係を示す構成図
- 【図3】同実施例におけるメモリ内の状態を示す概念図
- 【図4】同実施例と従来例の動作を比較するタイミング図

図

【図5】従来の半導体装置の構成を示す図

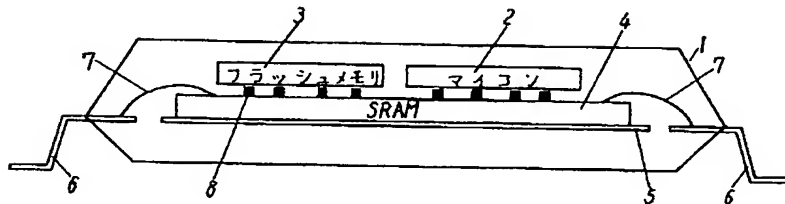
【符号の説明】

- 1 封止パッケージ
- 2 マイコン
- 3 フラッシュメモリ
- 4 SRAM
- 5 ダイパッド部
- 6 リード端子
- 7 ワイヤ
- 8 パンプ電極

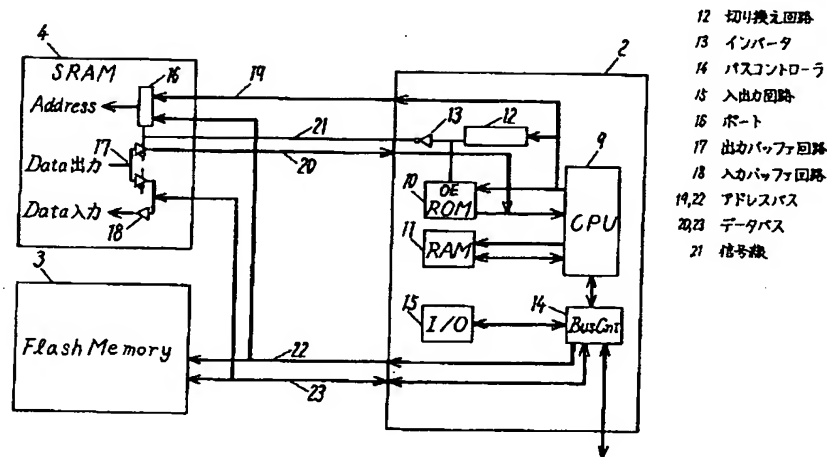
- 9 CPU
- 10 内蔵ROM
- 11 RAM
- 12 切り換え回路
- 13 インバータ
- 14 バスコントローラ
- 15 入出力回路
- 16 ポート
- 17 出力バッファ回路
- 18 入力バッファ回路
- 19 アドレスバス
- 20 データバス
- 21 信号線
- 22 アドレスバス
- 23 データバス

【図1】

- 1 封止パッケージ
- 5 ダイパッド部
- 6 リード端子
- 7 ワイヤ
- 8 パンプ電極



【図2】

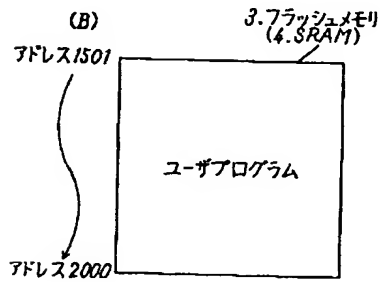
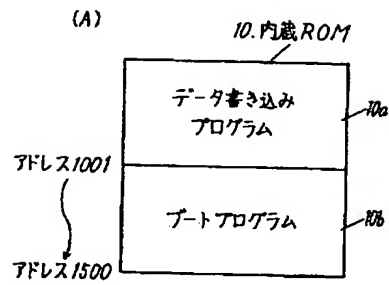


- 12 切り換え回路
- 13 インバータ
- 14 バスコントローラ
- 15 入出力回路
- 16 ポート
- 17 出力バッファ回路
- 18 入力バッファ回路
- 19, 22 アドレスバス
- 20, 23 データバス
- 21 信号線

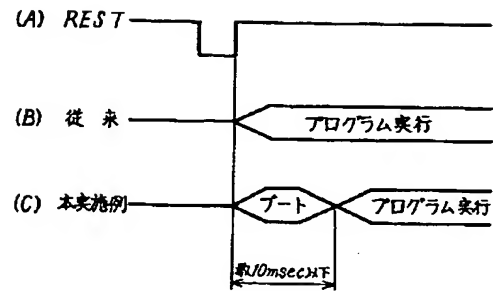
(9)

特開平8-305680

【図3】



【図4】



【図5】

